

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-252110

(43)Date of publication of application : 17.09.1999

(51)Int.Cl. H04L 12/28
H04J 3/00
H04Q 3/00

(21)Application number : 10-053359

(71)Applicant : FUJITSU LTD

(22)Date of filing : 05.03.1998

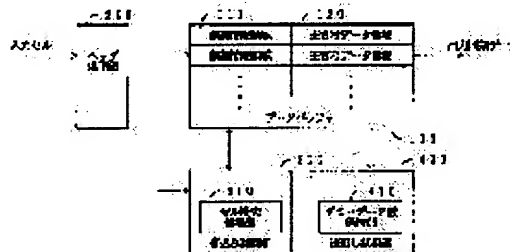
(72)Inventor : FUJISAWA TORU
TAKECHI RYUICHI
ONO HIDEAKI
SAKURAI HIROYA

(54) CELL DISASSEMBLING DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To allow the cell disassembling device in a cell communication system to compensate deviation in a time series and to reduce a processing time of a data write/read cycle in the case of conducting cell disassembling.

SOLUTION: The cell disassembling device has a data buffer 100 consisting of a main signal data area 120 and a control information area 110 where control information for each channel is stored in a same address as that of the main signal data area to which main signal data are written, a header processing section 200, a write control section 300 having a cell loss compensation section 310 that compensates lost data to a corresponding channel on the occurrence of lost cells to apply data write control to the data buffer, and a read control section 400 having a dummy data number storage section 410 that stores a sent dummy data number for each channel on the occurrence of underflow of the data buffer and applying read control of the data buffer based on cell loss information informed from the write control section and number of sent dummy data.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-252110

(43) 公開日 平成11年(1999) 9月17日

(51) Int.Cl.⁶

識別記号

F I

H 0 4 L 12/28

H 0 4 L 11/20

E

H 0 4 J 3/00

H 0 4 J 3/00

Z

U

H 0 4 Q 3/00

H 0 4 Q 3/00

審査請求 未請求 請求項の数10 O L (全 17 頁)

(21) 出願番号

特願平10-53359

(22) 出願日

平成10年(1998) 3月5日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 藤澤 徹

福岡県福岡市早良区百道浜2丁目2番1号
富士通九州通信システム株式会社内

(72) 発明者 武智 竜一

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 弁理士 井桁 貞一

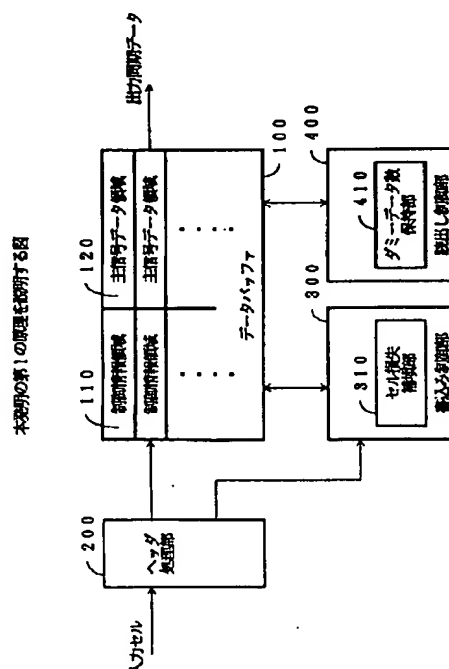
最終頁に続く

(54) 【発明の名称】 デセル化装置

(57) 【要約】

【課題】本発明はセル通信方式におけるデセル化装置に関し、デセル化を行う際の、時系列のずれを補償し、且つ、データの書き込み／読出しサイクルの処理時間の短縮化を行うことのできるデセル化装置を実現することを目的とする。

【解決手段】主信号データ領域と、主信号データが書き込まれた主信号データ領域と同一のアドレスに該チャネルごとの制御情報を格納する制御情報領域からなるデータバッファと、ヘッダ処理部と、セル損失発生時に、損失した分のデータを該チャネルに補填するセル損失補填部を有し、データバッファにデータの書き込み制御を行う書き込み制御部と、データバッファのアンダフロー発生時に、送出したダミーデータ数をチャネルごとに保持するダミーデータ数保持部を有し、書き込み制御部より通知されたセル損失情報と送出したダミーデータ数によりデータバッファの読出し制御を行う読出し制御部より構成する。



【特許請求の範囲】

【請求項 1】 複数のセルから複数チャネルのデジタル同期データへの変換を行うデセル化装置であって、入力したセルのヘッダ情報によりセルを識別し、入力データの主信号をチャネルごとに格納する主信号データ領域と、主信号データが書き込まれた前記主信号データ領域と同一のアドレスに該チャネルごとの制御情報を格納する制御情報領域からなるデータバッファと、ヘッダ情報のチャネル番号への変換と、シーケンス番号を識別するヘッダ処理部と、

セル損失発生時に、損失した分のデータを該チャネルに補填するセル損失補填部を有し、前記データバッファにデータの書き込み制御を行う書き込み制御部と、前記データバッファのアンダフロー発生時に、送出したダミーデータ数をチャネルごとに保持するダミーデータ数保持部を有し、前記書き込み制御部より通知されたセル損失情報と送出したダミーデータ数により前記データバッファの読出し制御を行う読出し制御部より構成したことを特徴とするデセル化装置。

【請求項 2】 複数のセルから複数チャネルのデジタル同期データへの変換を行うデセル化装置であって、複数の領域に分割し、分割した領域を複数のチャネルで共用し、入力したセルのヘッダ情報によりセルを識別し、入力した主信号データをチャネルごとに格納する主信号データ領域を備えるデータバッファと、分割した前記データバッファの領域を示すアドレスを保持するアドレスメモリと、分割した前記データバッファの領域とチャネルとの対応情報を保持するとともに、アンダフロー発生時に送出したダミーデータ数を保持する管理テーブルと、所定のチャネルが使用する領域の次の領域を保持するとともに、セル損失数を保持するチェーンメモリと、セル損失発生時に、損失した分のデータを該チャネルに補填するセル損失補填部を有し、前記データバッファにデータの書き込み制御を行う書き込み制御部と、前記データバッファのアンダフロー発生時に、送出したダミーデータ数をチャネルごとに保持するダミーデータ保持部を有し、前記書き込み制御部より通知されたセル損失情報とダミーデータ数により前記データバッファの読出し制御を行う読出し制御部より構成したことを特徴とするデセル化装置。

【請求項 3】 請求項 1 および請求項 2 記載のデセル化装置において、前記制御情報領域に、

セル単位の損失数を格納するセル損失数領域と、1セルに格納されるユーザデータ数を最大値とするバイト単位のバイト損失数を格納するバイト損失数領域と、アンダフロー発生時に送出したデータ数をセル単位で計測したセルダミー数を格納するセルダミー数領域と、1セルに格納されるユーザデータ数を最大値とするバイト

単位のバイトダミー数を格納するバイトダミー数領域を設けたことを特徴とするデセル化装置。

【請求項 4】 請求項 1 および請求項 2 記載のデセル化装置において、セル損失発生時に、前記セル損失数領域のセル損失数と前記バイト損失数領域をバイト損失数を更新し、アンダフロー発生後のセル到着時に、バイトダミー数を更新し、損失数とダミーデータ数の一致を検出してデータの読出し指示を行う読出し指示部を設けたことを特徴とするデセル化装置。

10

【請求項 5】 請求項 1 および請求項 2 記載のデセル化装置において、前記制御情報領域に、セル損失数を格納するセル損失数領域と、アンダフロー発生時に送出したデータ数をセル単位で計測したセルダミー数を格納するセルダミー数領域と、1セルに格納されるユーザデータ数を最大値とするバイト単位のバイトダミー数を格納するバイトダミー数領域を設けたことを特徴とするデセル化装置。

20

【請求項 6】 請求項 1 および請求項 2 記載のデセル化装置において、前記制御情報領域に、バッファのオーバーフローの発生を示す情報を格納するオーバーフロー領域を設けたことを特徴とするデセル化装置。

【請求項 7】 複数のセルから複数チャネルのデジタルデータに変換するデセル化装置であって、入力したセルのヘッダ情報によりセルを識別し、チャネル番号への変換を行うヘッダ処理部と、

30

入力データをチャネルごとに格納するデータバッファと、前記データバッファへのデータの書き込み制御を行う書き込み制御部と、前記データバッファからのデータの読出し制御を行う読出し制御部と、チャネル単位にセルの転送揺らぎの許容値を設定するチャネル別揺らぎ許容値処理部を設けたことを特徴とするデセル化装置。

40

【請求項 8】 請求項 7 記載のデセル化装置において、セル到着時に、前記チャネル別揺らぎ許容値処理部からチャネルごとの揺らぎ許容値を読み出し、該揺らぎ許容値を前記書き込み制御部および前記読出し制御部に通知する揺らぎ許容値通知部を設けたことを特徴とするデセル化装置。

【請求項 9】 請求項 7 記載のデセル化装置において、所定の時間が経過するごとに、チャネル別の揺らぎ許容値設定を減算し、該揺らぎ許容値が閾値に達したときに、前記データバッファからデータの読出しを行う減算処理部を設けたことを特徴とするデセル化装置。

50

【請求項 10】 請求項 9 記載のデセル化装置におい

て、
チャンネル別の揺らぎ許容値設定からの減算間隔をSTM
フレーム時間単位とすることを特徴とするデセル化装
置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、送信する情報を固
定長のデータに分割し、分割されたデータに宛先情報を
付加したセルで通信を行うセル通信方式において、受信
したセルに収容されたデータを、所定のデジタル通信
のフォーマットに変換して出力するデセル化装置に関す
る。

【0002】デジタル通信において、回線の使用効率
を高めるために、パケット通信、ATM(Asynchronous T
ransfer Mode、非同期転送モード)通信が採用されてい
る。例えば、ATM通信においては、様々な速度をもつ
データをセルと呼ばれる固定長のデータに分割し、分割
されたそれぞれの固定長のデータにヘッダと称する制御
情報を付加して通信を行うものである。ATM通信方式
では、音声、デジタルデータ、動画像データ等、様々
なトラヒック特性を持つ各種のデータを一元的に処理で
きることから、マルチメディア通信のインフラストラク
チャとして、ATM通信網が構築されつつある。

【0003】これまでの電話を主体とする既存のSTM
(Synchronous Transfer Mode、同期転送モード)網をA
TM網に収容することも可能であり、このような場合に
はIWF(Interworking Facility)や、CLAD(Cell
Assembly and Disassembly)と呼ばれるSTM-ATM
変換装置を使用して、STMデータとATMセルとの相
互変換を行い、ATM網によりデータの転送を行う。

【0004】かかるセルデータをデジタル同期データ
に変換するデセル化処理を効率的に行うことのできるデ
セル化装置が要求されている。

【0005】

【従来の技術】図20は従来例を説明する図(その1)
を示す。図中の110Bは受信したATMセルデータを
格納するデータバッファであり、610Aはチャンネルご
との制御情報を格納する制御情報メモリであり、200
は受信したセルのヘッダをチャンネル番号に変換するヘ
ッダ処理部である。

【0006】また、300はデータバッファ110B、
制御情報メモリ610Aに主信号データと制御情報の書
込みを制御する書込み制御部であり、400はデータバ
ッファ110B、制御情報メモリ610Aに主信号デー
タと制御情報の読出しを制御する読出し制御部である。

【0007】図の構成において、回線から受信したAT
Mセルのヘッダを抽出し、ヘッダ情報をチャンネル番号に
変換する。ヘッダには制御情報としての発信元番号、着
信先番号、セルのシーケンス番号、優先度等が書き込ま
れており、これらの制御情報を書込み制御部300の制

御にしたがって、チャンネル番号ごとに制御情報メモリ6
10Aに書き込み、主信号データは書込み制御部300
の制御にしたがってチャンネル番号ごとにデータバッファ
110Bに書き込む。データバッファ110Bのデータ
は読出し制御部400の制御にしたがって読み出し、S
TMデータとして出力する。

【0008】また、ATM網内において、網内でのAT
Mセルの転送ルート、バッファの競合制御等による遅延
によりATMセルの揺らぎが生ずる。そこで、ATMセ
ルからSTMデータにデセル化を行う場合、セル分解処
理と並行してATMセルの揺らぎの吸収をおこなうこと
が必要である。

【0009】図21は従来例を説明する図(その2)を
示す。図中のデータバッファ110B、ヘッダ処理部2
00、書込み制御部300は図20で説明したと同じ構
成物である。また、読出し制御部400には揺らぎを吸
収するためのデータバッファ110B内のセル数の閾値
を設定する閾値メモリ440を備えている。図において
は、制御情報メモリ610Aは図示省略している。

【0010】図の構成において、回線から受信したAT
Mセルのヘッダを抽出し、ヘッダ情報をチャンネル番号に
変換し、チャンネル番号ごとに主信号データをデータバッ
ファ110Bに書き込む。読出し制御部400はデータ
バッファ110Bのデータの数を閾値メモリ440の閾
値と比較し、読み出しを行う。

【0011】

【発明が解決しようとする課題】近年、通信を効率的に
行うために、伝送路の高速化が図られており、155Mb
/s、622Mb/s等の伝送路が実用化されており、伝送路
内に多重されるチャンネル数は増大しており、1つのチャ
ネルに対する処理時間の短縮が要求されるとともに、高
品質のデータ転送が要求されている。

【0012】かかる、課題に対し、上述の従来例(その
1)では、受信したセルをヘッダ部と主信号データに分
離し、主信号データとヘッダをそれぞれデータバッファ
110Bと制御情報メモリ610Aの同一アドレスに書
き込む。また、指定のチャンネルのデータを読み出す場合
は、最初に制御情報メモリ610Aの指定のチャンネルに
対応するアドレスの制御情報を読み出し、その制御情報
の内容にしたがって、データバッファ110Bの対応す
るアドレスの主信号データを読み出すので、読出しに関
する処理時間が長くなると言う問題点が生ずる。

【0013】さらに、従来例(その2)では、デセル化
装置として、全チャンネルに対して、同一の揺らぎ吸収処
理を行っている。ところが、デセル化装置が受信するセ
ルは、セル(呼)ごとに転送経路が異なるので、網内で
生じる揺らぎは一定ではなく、チャンネルごとに生じる揺
らぎの幅は異なっている。そこで、複数のチャンネルで生
じる最大の揺らぎ幅で揺らぎを吸収しようすると、遅
延が増大することになり、音声のようなリアルタイム性

を要求される呼に対しては問題である。

【0014】本発明は、セルから、デジタル同期通信のデータに復元する際の、時系列のずれを補償し、且つ、データの書き込み／読出しサイクルの処理時間の短縮化を行うとともに、チャンネルごとに揺らぎ吸収処理を行うことのできるデセル化装置を実現しようとする。

【0015】

【課題を解決するための手段】図1は本発明の第1の原理を説明する図であり、複数のセルから複数チャンネルのデジタル同期データへの変換を行うデセル化装置を示す。

【0016】図中の100は入力したセルのヘッダ情報によりセルを識別し、入力データの主信号をチャンネルごとに格納する主信号データ領域120と、主信号データが書き込まれた主信号データ領域120と同一のアドレスに該チャンネルごとの制御情報を格納する制御情報領域110からなるデータバッファであり、200はヘッダ情報のチャンネル番号への変換と、シーケンス番号を識別するヘッダ処理部である。

【0017】また、300はセル損失発生時に、損失した分のデータを該チャンネルに補填するセル損失補填部310を有し、データバッファ100にデータの書き込み制御を行う書き込み制御部であり、400はデータバッファ100のアンダフロー発生時に、送出したダミーデータ数をチャンネルごとに保持するダミーデータ数保持部410を有し、書き込み制御部300より通知されたセル損失情報と送出したダミーデータ数によりデータバッファ100の読出し制御を行う読出し制御部である。

【0018】かかる構成において、受信したセルのヘッダをヘッダ処理部200にて、チャンネル番号に変換するとともに、ヘッダのシーケンス番号からセルの連続性をチェックし、その結果を書込み制御部300へ送出する。書き込み制御部300では、制御情報とセルの連続性の判定結果から時系列を補償するように演算を行い、その結果をデータバッファ100に書き込むとともに主信号データを書き込む。

【0019】読出し制御部400では、チャンネル番号に対応するデータバッファ100の制御データ、送出したダミーデータ数を読み出し、時系列を補償するように演算を行い、その結果をデータバッファ100の制御情報領域110に書き込む。データバッファ100内にデータがない場合は読み出した情報を、例えば、全ビット1のダミーデータに置き換えて出力する。

【0020】かかる作用により、データの書き込み／読出しの処理時間を短縮することが可能となる。(請求項1)

図2は本発明の第2の原理を説明する図である。図は複数のセルから複数チャンネルのデジタルデータに変換するデセル化装置を示す。

【0021】図中の100は入力データをチャンネルごと

に格納するデータバッファあり、200は入力したセルのヘッダ情報によりセルを識別し、チャンネル番号への変換を行うヘッダ処理部であり、300はデータバッファ100へのデータの書き込み制御を行う書き込み制御部である。

【0022】また、400はデータバッファ100からのデータの読出し制御を行う読出し制御部であり、420はチャンネル単位にセルの転送揺らぎの許容値を設定するチャンネル別揺らぎ許容値処理部である。

【0023】かかる構成において、受信したセルのヘッダをヘッダ処理部200にて、チャンネル番号を抽出し、書き込み制御部300の制御によりセルデータをデータバッファ100に書き込む。読出し制御部400では、呼設定時にチャンネル別揺らぎ許容値処理部420に設定されている揺らぎ許容値を読み出し設定する。読出し要求があった場合は、制御メモリに設定された許容値の時間だけ読出しを待ったのち読出しを行う。

【0024】かかる作用により、チャンネルごとにゆらぎ許容値を設定し、読出し時に揺らぎを吸収することが可能となり低遅延での通信が可能となる。(請求項2)

【0025】

【発明の実施の形態】図3は本発明の実施の形態(1-1)を説明する図である。図は複数のセルから複数チャンネルのデジタル同期データに変換するデセル化装置を示す。以下実施の形態においては、セルはATMセルとし、デジタル同期通信方式はSTMとする。

【0026】図中の100は主信号データ領域120と制御情報領域110を備えたデータバッファであり、220はセルのヘッダ部のVPI、VCIとチャンネル番号との対応を格納したヘッダテーブルであり、210はヘッダテーブル220を参照してヘッダからチャンネル番号を抽出するヘッダ変換部であり、230はヘッダから抽出したSN(Sequence Number)からセルの連続性を判定するセル連続性判定部であり、240は連続性の判定時に参照するチャンネルごとのSNの期待値を書き込んでおくSNテーブルであり、300は書き込み制御部であり、400は読出し制御部である。

【0027】図の構成において、書き込み制御部300はチャンネル番号によりWP/RP(Write Pointer/Read Pointer)テーブル320からライトポインタWPを読み出し、そのチャンネル番号を上位アドレス、WPを下位アドレスとして、データバッファ100からバッファの状態、データ損失情報およびアンダフロー発生時に送出したSTMダミーデータ数の情報を読み出す。そして、セル損失補填部310はデータバッファ100内の情報とセルの連続性の判定結果を元に時系列を補償するように演算してその結果をデータバッファ100に格納する。

【0028】また、読出し制御部400では、タイムスロット番号を元に、TS/CH(TimeSlot/Channel)テーブル430を参照して、そのチャンネル番号によりWP/

RPテーブル320からリードポインタRPを読み出し、そのチャンネル番号を上位アドレス、リードポインタRPを下位アドレスとして、データバッファ100から、格納されているデータ、バッファの状態、データ損失情報およびダミーデータ数保持部410に保持していたアンダフロー発生時に送出したSTMダミーデータ数の情報を読み出し、時系列を補償するように演算してその結果をデータバッファ100に格納する。データバッファ100内にデータがない場合は読み出したデータを、例えば、全ビット1のダミーデータに置き換えて出力する。

【0029】かかる処理により、データの書き込み／読出しの処理時間を短縮することが可能となる。図4は本発明の実施の形態(1-1)のデータバッファの構成を説明する図を示す。

【0030】図に示すデータバッファ100に書き込まれる制御情報を説明する。

OVR；データバッファ100のオーバフローを示し、
「1」でオーバフローあり、「0」でオーバフロー無し*

(到着セル損失数×C-LOS)×47+B-LOS≥

C-DMY×47+B-DMY・・・・・・(1)

主信号データ読出し時に、読出し制御部400はデータバッファ100から読み出した制御情報のうち、OVR=「0」で、且つ、C-LOS=C-DMYでB-LOS=B-DMYのときのみEN=「0」に更新してデータバッファ100に書き込む。それ以外の場合はENを更新しない。

【0034】C-LOS；セル単位の損失データ数を示す。主信号データ書き込み時に、書き込み制御部300は、データバッファ100から読み出した制御情報のC-LOSに、セル連続性判定部230から通知されたセル損失数を加えた値をC-LOSとして更新し、データバッファ100に書き込む。

【0035】主信号データ読出し時に、読出し制御部400は、続性の判定結果を元に時系列を補償するように演算してその結果をデータバッファ100に格納する。また、読出し制御部400では、C-LOS=C-DMYで且つB-LOS=B-DMYのときのみ初期値「0」をデータバッファ100に書き込む。それ以外の場合は、C-LOSは更新しない。

【0036】B-LOS；バイト単位の損失データ数を示す。0≤B-LOS≤46(AAL Type1の場合)

主信号データ書き込み時に、書き込み制御部300は、データバッファ100から読み出した制御情報により(1)式を満足しない場合のみ「+1」して更新し、データバッファ100に書き込む。それ以外の場合はB-LOSを更新しない。

【0037】また、主信号データ読出し時に、読出し制御部400では、C-LOS=C-DMYで且つB-L

*を示す。主信号データ書き込み時に、書き込み制御部300では、データバッファ100から読み出した制御情報の内、EN=「1」であれば、OVR=「1」に更新してデータバッファ100に書き込む。EN=「0」であればOVRは更新しない。

【0031】主信号データ読出し時に、読出し制御部400では、データバッファ100から読み出した制御情報のうちのOVR=「1」であればOVR=「0」に更新してデータバッファ100に書き込む。OVR=「0」であればOVRは更新しない。

【0032】EN；当該アドレスのデータバッファ100に対するデータの有無を示し、「1」でデータあり、「0」でデータ無しを示す。主信号データ書き込み時に書き込み制御部300では、データバッファ100から読み出した制御情報により、EN=「0」で、式(1)を満足した場合のみEN=「1」に更新してデータバッファ100に書き込み、それ以外の場合はENを更新しない。

【0033】

OS=B-DMYのときのみ初期値「0」をデータバッファ100に書き込む。それ以外の場合は、B-LOSは更新しない。

【0038】C-DMY；セル単位のアンダフロー発生時に送出したSTMダミーデータ数を示す。書き込み制御部300ではC-DMYは更新しない。

【0039】主信号データ読出し時に、読出し制御部400では、C-LOS=C-DMYで且つB-LOS=B-DMYのときのみ初期値「0」を、それ以外で且つB-DMY=46のときは「+1」に更新した値をそれぞれデータバッファ100に書き込む。

【0040】B-DMY；バイト単位のアンダフロー発生時に送出したSTMダミーデータ数を示す。0≤B-LOS≤46(AAL Type1の場合)

書き込み制御部300ではB-DMYは更新しない。

【0041】主信号データ読出し時に、読出し制御部400では、C-LOS=C-DMYで且つB-LOS=B-DMYのときのみ初期値「0」を、それ以外で且つB-DMY=46のときは「+1」に更新した値をそれぞれデータバッファ100に書き込む。

【0042】図5～7は本発明の実施の形態(1-1)のデータバッファの制御情報(その1～3)を示し、セル損失発生時の動作を示す。図は1つのチャンネルに対する制御情報領域のデータの書き込み／読出し動作を説明するものであり、他のチャンネルについても動作は同じである。

【0043】図中、OVERをOV、C-LOSをCL、B-LOSをBL、C-DMYをCD、B-DMYをBD、主信号データをDTと示す。また、太線の枠で

囲んだ制御情報は1つまえの制御情報と異なった状態であることを示す。

【0044】(1) ; ライトポインタWP、リードポインタRPは同一アドレスを示しており、各パラメータは「0」であり、初期状態を示している。

(2) ; データの読出し要求があったが、EN=「0」であり、データバッファ100内にはデータがないので、アンダフローとして、BDを「+1」して更新する。このとき、リードポインタRPはそのままであり、データは例えば、全ビット=1のダミーデータを送出す。 10

【0045】(3) ; (2)の状態を、すなわちアンダフローの状態を46回繰り返した状態を示す。

(4) ; アンダフローが48回発生した状態を示す。47回目のアンダフローが発生した状態では、CD=「0」、BD=「46」を示しており、更新時に、CD=「1」、BD=「0」として書き込みを行う。

【0046】(5) ; (4)の状態の後にセルが到着し、セル連続性判定部230により、2セルの損失が生じたことを通知された場合に、各パラメータの更新後の状態を示す。該アドレスのデータバッファ100読出し時の各パラメータの値は、CD=「1」、BD=「1」であり、損失情報は「2」セルである。したがって、損失情報>ダミーデータ数となるので、到着セルをデータバッファ100に格納する。ここでライトポインタWPが示すアドレスの各制御情報はCL=「2」、EN=「1」、CD=「1」、BD=「1」とし、主信号データの1バイトとともに格納する。また、ライトポインタWPは「+1」して更新する。 20

【0047】(6) ; (5)で格納した主信号データの次のバイトを順次書き込む動作を示す。 30

(7)、(8) ; (6)の状態の後にデータバッファ100の読出し要求指示があった場合を示す。図示省略の読出し制御部により、CL、CD、BL、BDの値を比較し、CL=CD、BL=BDとなるまで、ダミーデータを出力する動作を示す。ここでは、図のDM-93までのダミーデータを出力する。

【0048】(9)はデータバッファ100より読み出した制御情報により、CL=CD、BL=BDであることから、損失数=ダミーデータ数となり、時系列補償が完了し、さらに、EN=「1」から、データバッファ100内に主信号データが格納されているので、該アドレスの主信号データを読み出し、全ての制御情報を全ビット「0」の初期状態として更新する。 40

【0049】図8~11は本発明の実施の形態(1-1)のデータバッファの制御情報(その4~7)を示し、オーバフロー/アンダフロー発生時の動作を示す。

(1)、(2) ; 図5の動作と同じである。

【0050】(3) ; アンダフローが2回発生し、制御情報のBD=「2」が書き込まれた状態を示す。この場 50

合、主信号データの1バイトを廃棄し、廃棄したバイト数を示すBLを「+1」して更新し、データバッファ100に書き込む。そして、CL=CDで且つBL=BDとなる(4)までこの動作を繰り返す。

【0051】(5) ; CL=CDで且つBL=BDであるので時系列補償が完了したものととして、この時点からデータの書き込みを開始する。データバッファ100から読み出した制御情報は、BL=「2」、BD=「2」で、その他は「0」であるので、損失数=ダミーデータ数となり、EN=「1」として主信号データをデータバッファ100に書き込むと同時に、ライトポインタWPを「+1」して更新する。

【0052】(6)は損失数=ダミーデータ数であるので、EN=「1」として主信号データをデータバッファ100に書き込みとともに、ライトポインタWPを「+1」して更新する。

【0053】(7)~(9)は通常の読み出し動作を示し、データバッファ100の読出し要求時にデータバッファ100から読み出した各制御情報がENを除いて「0」であることから、損失数=ダミーデータ数で、EN=「1」であるので、データバッファ100にデータありとなり、データバッファ100から読み出したデータを出力する。読み出したデータバッファ100の該当アドレスは、データなしを示すEN=「0」として、データバッファ100を更新するとともに、ライトポインタWPを「+1」して更新する。

【0054】(10)はオーバフロー発生時の動作を示す。データ書き込み要求時に、データバッファ100から読み出した制御情報のENが「1」であることから、データバッファ100のオーバフロー発生と判定して、OV=「1」に更新してデータバッファ100に書き込む。このときの当該主信号データは廃棄する。

【0055】(11)はオーバフロー状態での読出し動作を示す。データの読出し要求時にデータバッファ100から読み出した制御情報の中のOVが「1」であることから、データバッファ100のオーバフロー状態であると判定して、OV=「0」に更新してデータバッファ100に書き込む。このとき、データバッファ100から読み出した主信号データは有効STMデータとして出力する。

【0056】図12は本発明の実施の形態(1-2)を、説明する図である。図は複数のセルから複数チャネルのデジタル同期データに変換するデセル化装置を示す。図3においては、データバッファ100を分割し、分割した領域をそれぞれチャネル対応に割り当てる個別バッファ方式としているが、伝送路の高速化に伴い、チャネル数が増加すると、大容量のデータバッファ100が必要となる。そこで、実施の形態(1-2)では、データバッファ100の容量を小さくするために共通バッファ方式を使用し、書き込み/読出し処理時間を短縮するため

にアドレスメモリを先入れ先出し処理を行うアドレス先入れ先出しメモリ（FIFO）600で構成した例である。

【0057】図中の100は主信号データ領域120を備えた共通バッファとしてのデータバッファであり、ヘッダ変換部210、ヘッダテーブル220、セル連続性判定部230、SNテーブル240であり、書込み制御部300、読出し制御部400、TS/CHテーブル430は図3で説明したと同一の構成物である。

【0058】さらに、実施の形態（1-2）では、書込みアドレスFIFO600、管理テーブル610、チェーンメモリ620を備えており、書込み制御部300は書込みアドレスFIFO600から主信号データを格納するアドレスが与えられる。

【0059】また、チャンネル番号をもとに、制御情報を格納した管理テーブル610よりデータを書き込みための制御情報を読み出す。この時すでに、データバッファ100内にデータが格納されている場合は、チェーンメモリ620にアドレスFIFO600から指定された格納領域を書込む。同時に、アドレスFIFO600より指定されたアドレスにデータを格納する。

【0060】また、読出し制御部400では、タイムスロット番号を元に、TS/CHテーブル430を参照して、対応するチャンネル番号を読み出し、そのチャンネル番号により、管理テーブル610の該チャンネルのSTMデータを読み出すための管理情報を読み出す。読み出した管理情報をもとに、あるいは管理テーブル610内のバッファ状態情報によりデータがなくチェーンが組まれている場合には、チェーンメモリ620により、次のデータの格納アドレスおよびセル損失情報を読み出し、最適なデータ読み出し位置を演算し、データバッファ100より該当データを読み出す。同時に、演算結果を管理テーブル610に書き込む。

【0061】また、管理テーブル610内のバッファ状態情報によりデータがなくチェーンが組まれていない場合には、例えば、全ビット1のダミーデータを送出し、送出したダミーデータ数を管理テーブル610に保持する。

【0062】図13は本発明の実施の形態（1-2）の管理テーブルとチェーンメモリの構成を説明する図を示す。管理テーブル610には、データを書き込んだチェーンのスタートアドレスSTART、チェーンの最終アドレスEND、リードポインタRP、セル単位損失データ数C-LOS、セル単位ダミーデータ数C-DMY、バイト単位ダミーデータ数B-DMYが書き込まれている。

【0063】チェーンメモリ620には、データを書き込んだチャンネルごとに、アドレスが指定され、次のデータが書き込まれている次アドレスNEXT、セル単位ダミーデータ数C-LOSが書き込まれている。

【0064】図14～17は本発明の実施の形態（1-2）の管理テーブル/チェーンメモリの制御情報（その1～4）を示す。図においては、セル内のユーザデータ長は47バイトとしている。さらに、図中で、スタートアドレスSTARTをST、最終アドレスENDをED、次アドレスNEXTをNTを示し、RP、CL、CD、BDは図5～図11と同じである。

【0065】（1）；各管理データは「0」であり、初期状態を示している。

（2）；STMデータの読出し要求があったが、EN＝「1」でデータバッファ100内には、データがないのでアンダフローとして、BDを「+1」する。このときリードポインタRP＝「0」である。また、データはダミーデータを出力する。

【0066】（3）；（2）の状態を46回繰り返した状態を示す。

（4）；STMデータの読出し要求が48回あり、アンダフローの状態であるので、ダミーデータを48バイト送出した状態を示す。この場合、47バイト目のダミーデータ送出時に読み出したCD＝「0」、BD＝「46」を示しており、更新時に、CD＝「1」、BD＝「0」として書込みを行なう。

【0067】（5）；（4）の状態の後に該チャンネルのセルが到着し、データ書込み指示があった場合で、セル連続性判定部230より「2」セルの損失が通知されたときの、管理データの更新後の状態を示す。

【0068】まず、管理データの各制御情報の読出し時の各制御情報の値は、CD＝「1」、BD＝「1」でその他は「0」である。したがって、損失情報＞ダミー数であるので、到着セルを格納する。また、到着セルを格納するバッファ領域「6」は書込みアドレスメモリより指定されST＝ED＝6とし、さらに、バッファ内にデータがあることを示すEN＝「1」として、管理テーブルに書き込む。

【0069】（6）、（7）；STMデータの読出し要求があり、損失数＝ダミーデータ数となるまで、ダミーカウント値CD、BDを更新する。

（8）；STMデータの読出し要求があり、時系列補償が完了したのでデータバッファからSTMデータの読出しを開始した状態を示す。EN＝「1」よりデータバッファ内にデータありと判定して、上位アドレスをST、下位アドレスをRPとしてデータバッファに格納されたデータを読み出す。また、管理テーブルの各制御情報はCL、CD、BDをそれぞれ初期値の「0」に更新し、リードポインタRPは「+1」して更新する。

【0070】（9）；（8）に続いて、STMデータの読出し要求があり、46バイトのデータを送出した状態を示す。

（10）；データバッファ内のデータが全て読み出した後の状態を示す。管理テーブル読出し時の制御情報は

(9)の状態であり、 $ST=ED$ がつリードポインタ $RP=46$ であるので、データバッファに格納されているデータは1バイトとなる。上位アドレスを ST 、下位アドレスをリードポインタ RP として、データバッファに格納されている最終データを読み出す。管理テーブルの制御情報は、リードポインタ RP 、 EN は初期値の「0」として更新する。同時にデータが格納されていた領域「6」を書込みアドレスメモリに返却する。

【0071】(11)は(8)に示すようにデータバッファ内に既にデータが格納されている状態で、セル損失ありとしてセルが到着し、アドレスチェーンを形成している状態を示す。セル到着によりデータ書き込み指示があり、書き込みアドレス $FIFO$ より、データバッファ格納領域「8」を読み出し、さらに管理テーブルより該チャンネルの制御情報を読み出す。このときの、各制御情報の値は「8」の状態とする。 $EN=「1」$ 、 $ED=「6」$ よりチェーンメモリのアドレス(図中 ADD と示す)

「6」に次に読み出すデータバッファの格納領域「8」を損失情報「5」とともに書き込む。さらに、チェーンの終わりを示す $ED=「8」$ に更新して管理テーブルに書き込む。

【0072】(12) ; (11)の状態の後、 STM データの読出し要求が45回発生し、データバッファ格納領域に1バイトしかない状態を示している。

(13) ; (12)の状態で、 STM 読出し要求があり、データバッファ格納領域「6」のデータを全て読み出し終わったので、次の格納領域「8」をチェーンメモリから読み出し、更新した状態を示している。 STM データの読出し要求があり、管理テーブルより該チャンネルの制御情報を読み出す。このとき各制御情報は(12)の状態とする。リードポインタ $RP=「46」$ であるので、データバッファ格納領域「6」のデータは全て読み出したことになり、データバッファ格納領域「6」を書込みアドレス $FIFO$ に返却する。また、 ST は ED と等しくないで、次に読み出すデータが存在することを示している。そこで $ST「8」$ をアドレスとして、チェーンメモリより NT 、 CL を読み出し、 $ST=NT=「8」$ 、リードポインタ $RP=「0」$ 、 $CL=「5」$ として管理テーブルに書き込む。

【0073】このように、管理テーブル、チェーンメモリを使用して、データバッファを共通バッファとして使用することにより、データバッファの容量を削減することが可能となる。

【0074】また、セル連続性の判定には SN を使用しているが、セル到着時間監視によりセル連続性の判定を行なうことも可能である。図18は本発明の実施の形態(2)を説明する図を示す。図中の100は主信号データを書き込むデータバッファであり、200はヘッダ処理部、250はチャンネル別の揺らぎ許容値 τ が格納されているヘッダテーブル、300は書き込み制御部、321

は WP/RP テーブル、431は TS/CH テーブル、420はチャンネル別揺らぎ許容値処理部である。

【0075】図19は本発明の実施の形態(2)のデータバッファの構成を説明する図を示す。データバッファ100にはチャンネルごとに、ライトポインタ WP 、リードポインタ RP 、主信号データが書き込まれている。図の101はデータバッファ100の、チャンネル1を拡大表示したものであり、チャンネル1について、1~ m までの領域が設けられている。

10 【0076】図18、19の構成において、 ATM セルが入力するとヘッダ処理部200は ATM セルのヘッダの情報からチャンネル番号に変換する。チャンネル別揺らぎ許容値処理部420は、ヘッダテーブル250から該チャンネルに対応する揺らぎ許容値 τ を読み出す。そして、チャンネル番号と読み出した揺らぎ許容値 τ を図示省略の揺らぎ許容値通知部により、書き込み制御部300に出力し、主信号データはデータバッファ120に出力する。

20 【0077】このとき、書き込み制御部300では、チャンネル番号により WP/RP テーブル321よりライトポインタ WP を読み出し、そのチャンネル番号を上位アドレス、ライトポインタ WP を下位アドレスとしてデータバッファ100に主信号データを書込む。また、呼設定後、該チャンネルの ATM セルが到着した場合、 WP/RP テーブル321のライトポインタ WP を更新すると同時に、ヘッダ処理部200より通知された揺らぎ許容値 τ を書き込む。

30 【0078】読出し制御部400では、 STM タイムスロット番号をもとに、 TS/CH テーブル431により、対応するチャンネル番号および揺らぎ許容値 τ を読み出し、図示省略の減算処理部により指定の周期で減算処理を行う。ここでは、減算処理を行う減算フラグ DEC を読み出し、チャンネル番号により WP/RP テーブル321よりライトポインタ WP と揺らぎ許容値 τ を読み出す。

40 【0079】ここで、読出しを開始する τs 値を「0」、減算間隔を STM フレーム単位とした場合、 STM によるデータ転送では、例えば、 $ISDN$ サービスのように $64kb/s \times 2$ チャンネルの $128kb/s$ を1チャンネルとして使用する場合がある。このような場合には、 STM フレームごとに τ の減算を行うと、1チャンネルについて2回の減算を行うので、次のように減算を行う。

【0080】 $\tau s=「0」$ 、すなわち、セル転送揺らぎ吸収処理が完了している状態であれば、チャンネル番号を上位アドレス、リードポインタ RP を下位アドレスとしてデータバッファ100から格納されている主信号データを読み出し、 STM データとして出力する。同時にリードポインタ RP を更新して WP/RP テーブル321へ書き込む。

50 【0081】 $\tau s \neq 0$ で、且つ $DEC=1$ 、すなわち、セル転送揺らぎ吸収処理中であれば、 τs を「-1」減

算して、WP/RPテーブル321の τ の欄に書き込む。このとき、リードポインタRPの更新は行わず、データバッファ100内の主信号データの読出しも行わず、出力STMデータとしては全ビット「1」のダミーデータを送出する。

【0082】 $\tau s \neq 0$ で、且つDEC=0、すなわち、セル転送揺らぎ吸収処理中であれば、 τ およびリードポインタRPのWP/RPテーブル321への書込みは行わない。したがって、出力STMデータとしては全ビット「1」のダミーデータを送出する。

【0083】実施の形態(2)では、チャンネルごとに、主信号データを書き込む領域を割り当てた個別バッファ方式としているが、共通バッファ構成とすることも可能である。

【0084】

【発明の効果】本発明によれば、セル転送において、セル廃棄、セル揺らぎが発生した場合の時系列を補償し、データの書込み/読出し処理のサイクルを短縮可能となるので高多重処理ができるデセル化装置を実現できる。

【0085】さらに、セルの転送経路によるセル揺らぎを転送経路別に想定される揺らぎの最小値で設定することが可能となり低遅延でセルーデジタル同期データの変換が可能となる。

【図面の簡単な説明】

【図1】 本発明の第1の原理を説明する図

【図2】 本発明の第2の原理を説明する図

【図3】 本発明の実施の形態(1-1)を説明する図

【図4】 本発明の実施の形態(1-1)におけるデータバッファの構成を説明する図

【図5】 本発明の実施の形態(1-1)のデータバッファの制御情報(その1)

【図6】 本発明の実施の形態(1-1)のデータバッファの制御情報(その2)

【図7】 本発明の実施の形態(1-1)データバッファの制御情報(その3)

【図8】 本発明の実施の形態(1-1)のデータバッファの制御情報(その4)

【図9】 本発明の実施の形態(1-1)のデータバッファの制御情報(その5)

【図10】 本発明の実施の形態(1-1)のデータバッファの制御情報(その6)

【図11】 本発明の実施の形態(1-1)のデータバッファの制御情報(その7)

【図12】 本発明の実施の形態(1-2)を説明する図

【図13】 本発明の実施の形態(1-2)の管理テーブルとチェーンメモリの構成を説明する図

【図14】 本発明の実施の形態(1-2)の管理テーブル/チェーンメモリの制御情報(その1)

10 【図15】 本発明の実施の形態(1-2)の管理テーブル/チェーンメモリの制御情報(その2)

【図16】 本発明の実施の形態(1-2)の管理テーブル/チェーンメモリの制御情報(その3)

【図17】 本発明の実施の形態(1-2)の管理テーブル/チェーンメモリの制御情報(その4)

【図18】 本発明の実施の形態(2)を説明する図

【図19】 本発明の実施の形態(2)のデータバッファの構成を説明する図

【図20】 従来例を説明する図(その1)

【図21】 従来例を説明する図(その2)

20 【符号の説明】

100、110B データバッファ

110 制御情報領域

120 主信号データ領域

200 ヘッダ処理部

210 ヘッダ変換部

220、250 ヘッダテーブル

230 セル連続性判定部

240 SN期待値

300 書込み制御部

30 310 セル損失補填部

320 : 321 WP/RPテーブル

400 読出し制御部

410 ダミーデータ数保持部

420 チャンネル別揺らぎ許容値処理部

430 : 431 TS/CHテーブル

440 閾値メモリ

600 アドレスFIFO

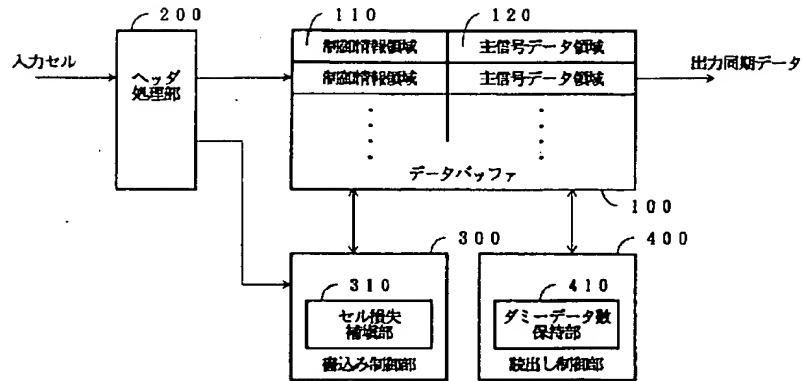
610 管理テーブル

610A 制御情報メモリ

40 620 チェーンメモリ

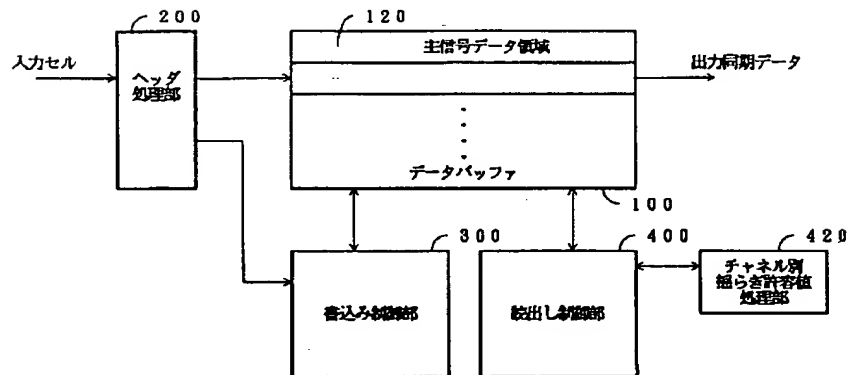
【図1】

本発明の第1の原理を説明する図



【図2】

本発明の第2の原理を説明する図



【図17】

本発明の実施の形態(1-2)の管理テーブル/チェーンメモリの構成情報
(その4)

(13) STMデータ出力

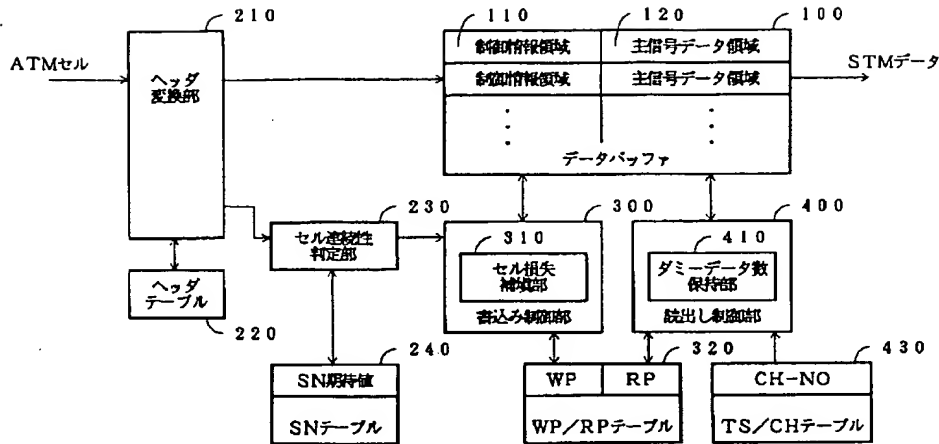
ST	ED	EN	RP	CL	CD	BD	NT	CL
8	8	1	0	5	0	0	8	5
							0	0

ADD:6

書き込み=8
NT=8
セル損失
チャンネル CL=5
CD=5 でのデータ出力

【図 3】

本発明の実施の形態(1-1)を説明する図



【図 4】

本発明の実施の形態(1-1)におけるデータバッファの構成を説明する図

ADD	OVR	C-LOS	B-LOS	C-DMY	B-DMY	主信号データ
CH-1						
CH-2						
...						
CH-n						

OVR: バッファオーバーフロー

EN: 格納データ有無識別

C-LOS: セル単位損失データ数

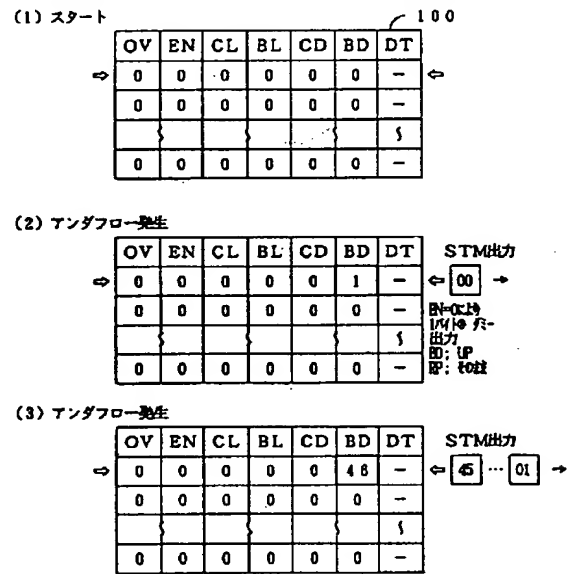
B-LOS: バイト単位損失データ数

C-DMY: セル単位ダミーデータ数

B-DMY: バイト単位ダミーデータ数

【図 5】

本発明の実施の形態(1-1)のデータバッファの制御情報(その1)



【図6】

本発明の実施の形態(1-1)のデータバッファの制御情報(その2)

(4) アンダフロー発生

OV	EN	CL	BL	CD	BD	DT	
0	0	0	0	1	1	-	← 47 46 →
0	0	0	0	0	0	-	DM45(10分)の ため CD: UP
0	0	0	0	0	0	-	

(5) セルロス抽出

OV	EN	CL	BL	CD	BD	DT	
0	1	2	0	1	1	ID94	←
0	0	0	0	0	0	-	
0	0	0	0	0	0	-	
0	0	0	0	0	0	-	
0	0	0	0	0	0	-	

ID00~(ID930
24bit)
LS02 94
CL: 2LP
ID94番入手
RP: 更新

(6) ATMデータ到着

OV	EN	CL	BL	CD	BD	DT	
0	1	2	0	1	1	ID94	←
0	1	0	0	0	0	ID95	←
0	1	0	0	0	0	ID96	←
0	0	0	0	0	0	-	
0	0	0	0	0	0	-	

EN=0 ため 出力なし
ID95, ID96 番手
EN=1C ため
RP: 更新

95
96
→

【図8】

本発明の実施の形態(1-1)のデータバッファの制御情報(その4)

(1) スタート

OV	EN	CL	BL	CD	BD	DT	
0	0	0	0	0	0	-	←
0	0	0	0	0	0	-	
0	0	0	0	0	0	-	

(2) アンダフロー発生

OV	EN	CL	BL	CD	BD	DT	
0	0	0	0	0	2	-	← STM出力 01 00 →
0	0	0	0	0	0	-	EN=0C ため DM01, 01over 出力 BD: UP RP: 更新
0	0	0	0	0	0	-	

(3) ATMデータ到着

OV	EN	CL	BL	CD	BD	DT	
0	0	0	1	0	2	ID00	←
0	0	0	0	0	0	-	
0	0	0	0	0	0	-	

EN=0, 1C ため
BL: UP
ID00 番手
DM00
RP: 更新

00 →

【図7】

本発明の実施の形態(1-1)のデータバッファの制御情報(その3)

(7) セルロス分のダミーデータ出力

OV	EN	CL	BL	CD	BD	DT	
0	1	2	0	1	2	ID94	← 48 →
0	1	0	0	0	0	ID95	CL, BL=0C, BD は6分ダミーデータ 出力 BD: UP RP: 更新
0	1	0	0	0	0	ID96	
0	0	0	0	0	0	-	
0	0	0	0	0	0	-	

(8) セルロス分のダミーデータ出力

OV	EN	CL	BL	CD	BD	DT	
0	1	2	0	2	0	ID94	← 93 ... 49 →
0	1	0	0	0	0	ID95	CL, BL=0C, BD は6分ダミーデータ 出力 BD: UP RP: 更新 93: 最後のダミー
0	1	0	0	0	0	ID96	
0	0	0	0	0	0	-	
0	0	0	0	0	0	-	

(9) STM有効データ出力

OV	EN	CL	BL	CD	BD	DT	
0	0	0	0	0	0	ID94	← 94 →
0	1	0	0	0	0	ID95	EN=1, CL, BL=0C, BD は6分ダミーデータ 出力 RP: 更新 94: 有効データ出力 EN=0 終了
0	1	0	0	0	0	ID96	
0	0	0	0	0	0	-	
0	0	0	0	0	0	-	

【図10】

本発明の実施の形態(1-1)のデータバッファの制御情報(その8)

(7) STMデータ出力

OV	EN	CL	BL	CD	BD	DT	
0	0	0	0	0	0	ID02	← 02 →
0	1	0	0	0	0	ID03	
0	1	0	0	0	0	ID04	EN=1, LS=0M ため 有効STMデータ出力 LS, DM 終了 EN=0 終了 RP: 更新
0	0	0	0	0	0	-	
0	0	0	0	0	0	-	

(8) STMデータ出力

OV	EN	CL	BL	CD	BD	DT	
0	0	0	0	0	0	ID02	
0	0	0	0	0	0	ID03	← 03 →
0	1	0	0	0	0	ID04	
0	0	0	0	0	0	-	EN=1, LS=0M ため 有効STMデータ出力 LS, DM 終了 EN=0 終了 RP: 更新
0	0	0	0	0	0	-	

(9) STMデータ出力

OV	EN	CL	BL	CD	BD	DT	
0	0	0	0	0	0	ID02	
0	0	0	0	0	0	ID03	
0	0	0	0	0	0	ID04	← 04 →
0	0	0	0	0	0	-	EN=1, LS=0M ため 有効STMデータ出力 LS, DM 終了 EN=0 終了 RP: 更新
0	0	0	0	0	0	-	

【図9】

本発明の実施の形態(1-1)のデータバッファの制御情報(その5)

(4) ATMデータ到着(アンダフロー解除)

	OV	EN	CL	BL	CD	BD	DT
01 →	0	0	0	2	0	2	ID01
BN=0, L<0 あり	0	0	0	0	0	0	-
BL: LP							1
ID01 のデータ							
廃棄	0	0	0	0	0	0	-
NP: 更新							

(5) ATMデータ到着

	OV	EN	CL	BL	CD	BD	DT
02 ←	0	1	0	2	0	2	ID02
BN=0, L=0 あり	0	0	0	0	0	0	-
BL: あり	0	0	0	0	0	0	-
BN=1 あり	0	0	0	0	0	0	-
NP: 更新	0	0	0	0	0	0	-

(6) ATMデータ到着

	OV	EN	CL	BL	CD	BD	DT
03 ←	0	1	0	2	0	2	ID02
04 ←	0	1	0	0	0	0	ID03
BN=0	0	1	0	0	0	0	ID04
出力あり	0	0	0	0	0	0	-
ID03, ID04 蓄込	0	0	0	0	0	0	-
BN=1 あり							
NP: 更新							

【図11】

本発明の実施の形態(1-1)のデータバッファの制御情報(その7)

(10) ATMデータ到着

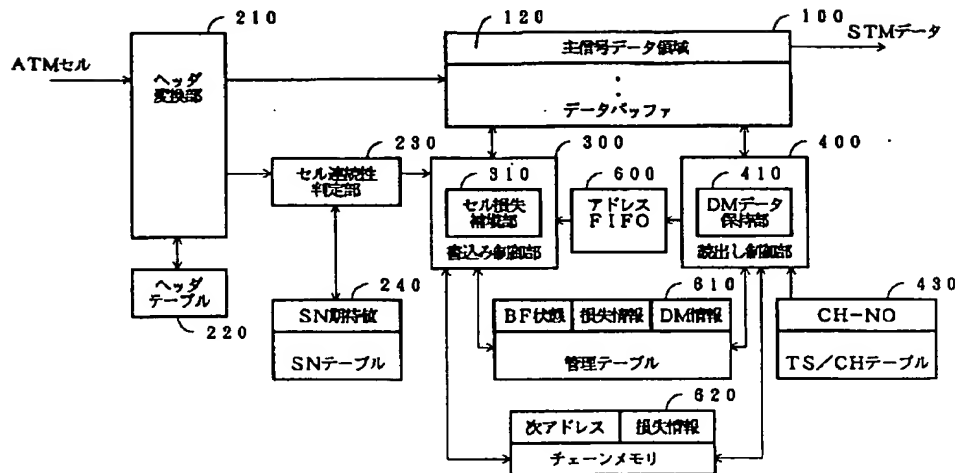
	OV	EN	CL	BL	CD	BD	DT
BN=1 あり	0	1	0	0	0	0	ID04
ID05, 07 廃棄	0	1	0	0	0	0	ID05
OV=1 あり	1	1	0	0	0	0	ID00
NP: 更新	1	1	0	0	0	0	ID01
	0	1	0	0	0	0	ID02
	0	1	0	0	0	0	ID03

(11) STMデータ出力

	OV	EN	CL	BL	CD	BD	DT
	0	1	0	0	0	0	ID04
	0	1	0	0	0	0	ID05
	0	1	0	0	0	0	-
00 →	1	1	0	0	0	0	ID01
BN=1, LS=04 あり	0	1	0	0	0	0	ID02
有効STMデータ出力	0	1	0	0	0	0	ID03
BN=0 あり							
NP: 更新							

【図12】

本発明の実施の形態(1-2)を説明する図



【図13】

本発明の実施の形態(1-2)の管理テーブルとチェーンメモリの構成を説明する図

610								620		
ADD	START	END	EN	RP	C-LOS	C-DMY	B-DMY	ADD	NEXT	C-LOS
CH-0								0		
CH-1								1		
CH-2								2		
⋮								⋮		
⋮								⋮		
⋮								⋮		
⋮								⋮		
CH-n								m		

START: チェーン先頭アドレス

END: チェーン最終アドレス

NEXT: 次アドレス

EN, C-LOS, C-DMY, B-DMYは図4に同じ

【図14】

本発明の実施の形態(1-2)の管理テーブル/チェーンメモリの制御情報(その1)

610								620	
ST	ED	EN	RP	CL	CD	BD		NT	CL
0	0	0	0	0	0	0		0	0
								0	0

(1) スタート

ST	ED	EN	RP	CL	CD	BD		NT	CL
0	0	0	0	0	0	1		0	0
								0	0

(2) アンダフロー発生
BN=0 (1)
1/4のデータ出力
BD: UP
RP: 40%

ST	ED	EN	RP	CL	CD	BD		NT	CL
0	0	0	0	0	0	48		0	0
								0	0

(3) アンダフロー発生

ST	ED	EN	RP	CL	CD	BD		NT	CL
0	0	0	0	0	1	1		0	0
								0	0

(4) アンダフロー発生
DM48に1/4分のデータ出力
BD: UP

【図15】

本発明の実施の形態(1-2)の管理テーブル/チェーンメモリの制御情報(その2)

610								620	
ST	ED	EN	RP	CL	CD	BD		NT	CL
8	8	1	0	2	1	1		0	0
								0	0

(5) ATMデータ到着(2セルロス抽出)
2セルロス抽出
CL: 2LP
香込/PA: 6
ST, BD: 6C更新
RP: 10%

ST	ED	EN	RP	CL	CD	BD		NT	CL
8	8	1	0	2	1	2		0	0
								0	0

(6) セルロス分岐データ出力
CL=CD 1/4データ出力
BD: UP
RP: 40%

ST	ED	EN	RP	CL	CD	BD		NT	CL
8	8	1	0	2	2	0		0	0
								0	0

(7) セルロス分岐データ出力
CL=CD 1/4データ出力
BD: UP
RP: 40%

ST	ED	EN	RP	CL	CD	BD		NT	CL
8	8	1	1	0	0	0		0	0
								0	0

(8) STMデータ出力
CL, ED=0 C 1/4
RP: UP(0-48)

【図 16】

本発明の実施の形態(1-2)の管理テーブル/チェーンメモリの初期情報
(その3)

(9) STMデータ出力

ST	ED	EN	RP	CL	CD	BD	NT	CL
6	6	1	46	0	0	0		
B=L, CL=CD, BL=BDは STMデータ出力							0	0
							0	0

(10) STMデータ出力

ST	ED	EN	RP	CL	CD	BD	NT	CL
6	6	0	0	0	0	0		
ST=CD によりメモリ内格納データは RP: 0 EN=0 かつ							0	0
							0	0

(11) (8)の状態でATMデータ到着(5セル損失)

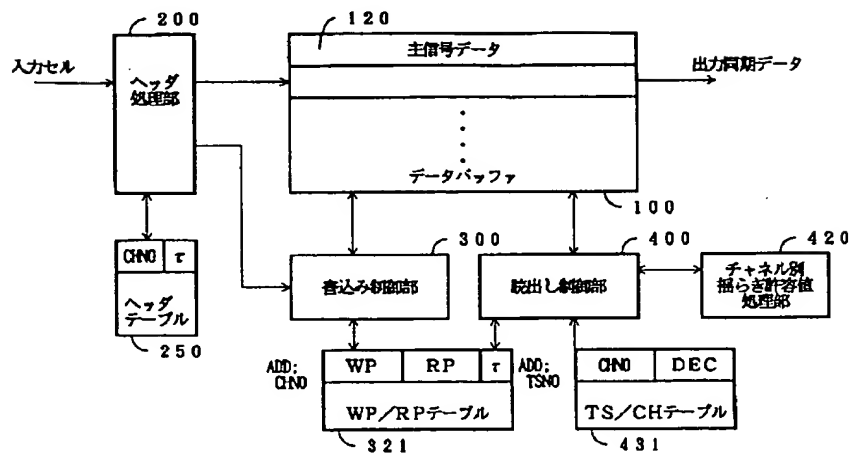
ST	ED	EN	RP	CL	CD	BD	NT	CL
6	8	1	1	0	0	0		
→ ADD: 6							8	5
書き込み先は NT=8 5セル損失 チェーンメモリ CL=6							0	0

(12) STMデータ出力

ST	ED	EN	RP	CL	CD	BD	NT	CL
6	8	1	46	0	0	0		
ADD: 6							8	5
							0	0

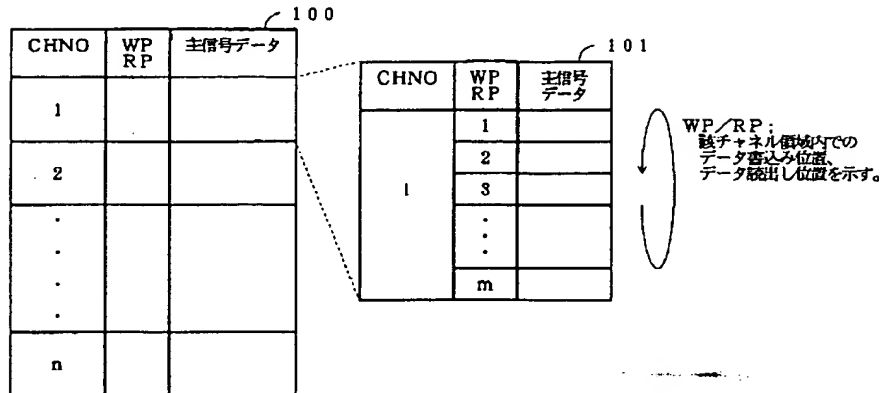
【図 18】

本発明の実施の形態(2)を説明する図



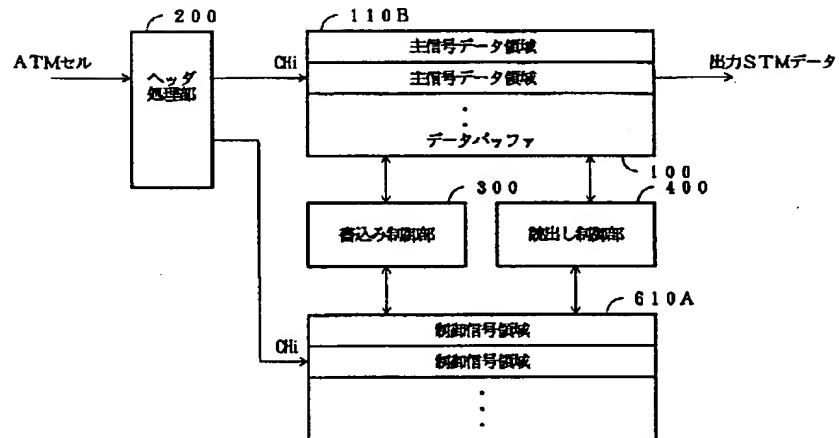
【図 19】

本発明の実施の形態(2)のデータバッファの構成を説明する図



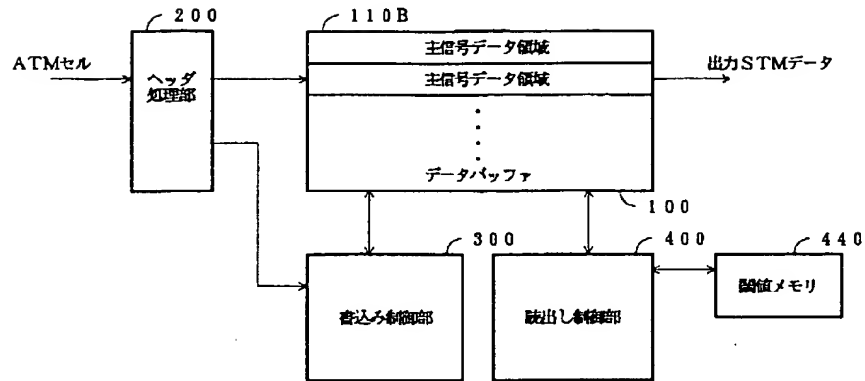
【図 20】

従来例を説明する図(その1)



【図21】

従来例を説明する図(その2)



フロントページの続き

(72)発明者 小野 英明
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内

(72)発明者 櫻井 宏哉
 宮城県仙台市青葉区一番町1丁目2番25号
 富士通東北デジタル・テクノロジー株式
 会社内